

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-274819

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

G11B 20/18

G11B 7/00

G11B 19/04

G11B 20/18

(21)Application number : 04-074109

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.03.1992

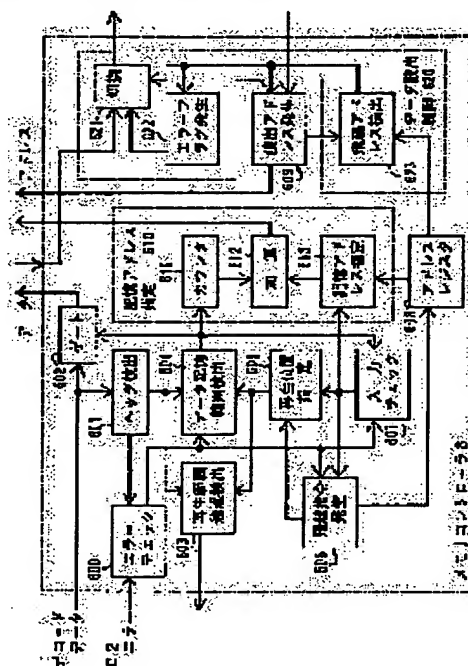
(72)Inventor : TANIFUJI TAKASHI

(54) STORAGE OR STORAGE READING CONTROL CIRCUIT FOR VOICE DATA

(57)Abstract:

PURPOSE: To prevent the insufficiency of the storage data in a memory storing reproduced data and the break of voice by repeating reproductions in the parts where correct voice information is not possible to be reproduced.

CONSTITUTION: The reproduction designation location of decode data is detected in a data storage range detection circuit 604, a storage address is generated from a storage address designation circuit 610 and the decode data is stored in the prescribed address of a memory 7. When a restorage command is given from an error check circuit 600 by the generation of a reproduced error, a storage operation is interrupted and it becomes the restorage operation. When this restorage is repeated a fixed number of times, a jumping command is generated by a jumping command generation circuit 606, a reproduction location designation circuit 605 is updated without updating a storage address designation circuit 613 and new decode data is stored in the previous storage address by being superposed.



LEGAL STATUS

[Date of request for examination] 02.02.1999

[Date of sending the examiner's decision of rejection] 02.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-274819

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	1 0 1 Z	9074-5D		
7/00	R	9195-5D		
19/04	M	7525-5D		
20/18	V	9074-5D		

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-74109

(22)出願日 平成4年(1992)3月30日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 谷藤 隆司

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

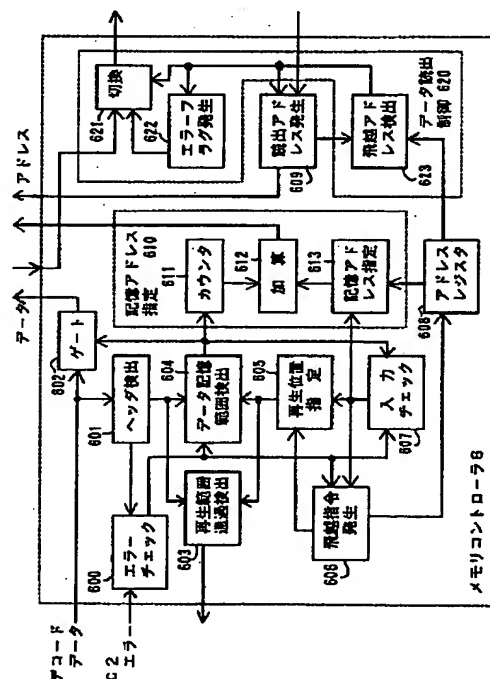
(74)代理人 弁理士 西野 卓爾

(54)【発明の名称】 音声データの記憶または記憶読出制御回路

(57)【要約】

【目的】 正しい音声情報が再生出来ない部分で再生を繰り返すことにより再生データを記憶するメモリの記憶データが不足し音声途切れることを防止する。

【構成】 データ記憶範囲検出回路604にてデコードデータの再生指定位置を検出して記憶アドレス指定回路610より記憶アドレスを発生し、メモリの所定アドレスにデコードデータを記憶する場合に、再生エラーの発生によりエラーチェック回路600より再記憶指令が発生せられると、記憶動作が中断され再記憶動作となる。この再記憶が一定回数繰り返されると飛越指令発生回路606より飛越指令が発生され、記憶アドレス指定回路613を更新することなく再生位置指定回路605を更新し、新たなデコードデータを先の記憶アドレスに重畳記憶する。



【特許請求の範囲】

【請求項1】 音声データを記録したスパイラル状記録トラックを間欠再生することにより得られる再生音声データを所定再生単位づつメモリに記憶し、メモリより読み出した記憶データを処理して再生音声信号を形成すると共に、再生音声データ中の再生エラーを検出して再度間欠再生を繰り返し正しい再生音声データを記憶するディスクプレーヤに於て、

間欠再生の繰り返しにも拘らず再生エラーが解消できない場合に飛越指令を発生する飛越指令発生手段と、飛越指令に基づいて記録トラックの再生単位を更新する再生位置指定手段と、再生エラーを含む再生単位のデコードデータを記憶することなく再生エラーを含まない再生単位を順次メモリに記憶させる記憶アドレス発生手段とを、配して成る音声データの記憶制御回路。

【請求項2】 音声データを記録したスパイラル状記録トラックを間欠再生することにより得られる再生音声データを所定再生単位づつメモリに記憶し、メモリより読み出した記憶データを処理して再生音声信号を形成すると共に、再生音声データ中の再生エラーを検出して再度間欠再生を繰り返し正しい再生音声データを記憶するディスクプレーヤに於て、

間欠再生の繰り返しにも拘らず再生エラーが解消できない場合に飛越指令を発生する飛越指令発生手段と、飛越指令に基づいて記録トラックの再生単位を更新する再生位置指定手段と、

再生エラーを含む再生単位のデコードデータを記憶することなく再生エラーを含まない再生単位を順次メモリに記憶させる記憶アドレス発生手段と、

メモリに記憶されたデコードデータの不連続部分に対応する不連続記憶アドレスを記憶するアドレスレジスタと、

メモリより記憶されたデータを記憶順に読み出す読出アドレス発生手段と、

前記アドレスレジスタに記憶した不連続アドレスと読み出しアドレスが一致したとき前記読出アドレス発生手段を一定期間休止させると共に、読出データに代えて代替データを導出させるデータ読出制御手段と、

前記読出データを音声信号に変換すると共に前記代替データ入力時に音声信号レベルを制限する音声信号形成手段とを、

それぞれ配して成る音声データの記憶読出制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スパイラル状の記録トラックをデータ速度より早い速度で再生しつつ再生エラーを検出したとき再度再生を繰り返して正しい再生データを常時メモリに蓄積記憶することにより、再生ミスのない音声が発生するディスクプレーヤ採用して有効な記

憶制御回路に関する。

【0002】

【従来の技術】 日経マグロウヒル社発行の雑誌「日経エレクトロニクス」の1991年12月9日号の第160～168頁には、音声の記録再生を可能にしたミニディスクレコーダに付いて解説が為されている。このミニディスクレコーダは、2チャンネル分の音声を約1/5にデータ圧縮して約2秒分の音声を約0.5秒の情報として間欠記録して記録トラックを形成し、再生時にはこの記録トラックを順次再生しながらメモリに記憶し、記憶した情報を連続して読み出しデータ伸長処理することにより音声再生するものである。各間欠記録トラックの1クラスタのデータ構成は、全体が36セクタで構成され、先行する3セクタには情報のない固定データがリンクデータとして、続く1セクタにカラオケの歌詞等の表示データがサブデータとして、また更に続く32セクタには圧縮音声データがメインデータとして配列されている。

【0003】 また、各セクタの先頭部分にはヘッダと称されるアドレスデータが設けられており、このアドレスデータには、クラスタ番号とセクタ番号が付加されている。従って、サブデータはこのセクタ番号を検出して識別できる。更に、2セクタのメインデータは、11個のサウンドグループを含んでおり、再生はこの2セクタを単位に間欠再生が為される。その結果、再生時にはメモリに最大限の再生データが記憶されるように構成される。

【0004】 図2は、このミニディスクレコーダの再生部分の回路ブロック図である。ディスクの記録トラックを光学的に再生する光ピックアップ1は、その再生出力をRFアンプ2に入力して増幅した出力をサーボ回路13とアドレスデコーダ3とEFMデコーダ4に入力している。前記サーボ回路13は、再生増幅出力よりトラックキング制御信号とフォーカス制御信号を形成し、前記光ピックアップ1と送りモータ12に供給すると共に、システムコントローラを介して得られる同期信号に基づいて形成される回転制御信号を形成してディスクモータ11に供給している。従って、ディスクは前記ディスクモータ11によって線速度一定に保たれ、前記ピックアップ1は、正しく記録トラックに追従すると共にその焦点を記録トラック面に一致させる。

【0005】 また、前記アドレスデコーダ3は、再生増幅出力の内トラックエラー信号の高域成分をFM復調して得られるADIPコードを検出してEFMデコーダ4に入力している。前記EFMデコーダ3は、前記システムコントローラ10より得られる選択信号に従って、EFMデコーダ4内で検出されるサブコード又は入力されるADIPコードとを選択して前記システムコントローラ10に供給している。更に、前記EFMデコーダ4は、サブコードと共に同期信号をも分離しており、

同期信号をシステムコントローラ10に供給している。前記システムコントローラは、同期信号をサーボ回路13に供給すると共に、再生位置を示すサブコードまたはADIPコードに基づきピックアップのアクセス制御を実行し、間欠再生を可能にしている。

【0006】EFM復調されたデータはCIRCデコーダ5に於てエラー訂正等の処理をさ訂正不能なエラー検出データと共にメモリコントローラ6に入力される。このメモリコントローラ6は、光ピックアップ1の飛び越し再生により繰り返し入力されるデコードデータを2セクタずつ更新記憶して前記メモリ7に記憶させると共に、後段のATracデコーダ8の読出指令に従って前記メモリ7に記憶されたデータを順次読み出している。このミニディスクレコーダの特徴とするところは、訂正不能エラーが発生した場合にメモリ7に対する再記憶を実行して、正しいデコードデータの記憶を可能にする点にある。この再再生を実行する為、前記メモリコントローラ6は、再再生期間中に光ピックアップ1の再生範囲の更新を中断させている。

【0007】ATracデコーダ8に入力されたデータは、サウンドグループ単位でデータ伸長されDA変換回路9に入力される。その結果、前記DA変換回路9からは、再生音声信号が途切れることなく導出される。尚、図2の構成は、前述する記事の第160頁の図1のレコーダの記載に準じて再生部分を抽出して示す回路ブロック図である。

【0008】しかし、上述する従来例の場合、再度再生を実行しても訂正困難なドロップアウトによって依然として正しい再生ができない場合もあり、正しく再生される迄再生を繰り返す場合には、メモリ内の記憶データが減少して音声途絶え、以降の再生が困難になる。そこで、一定回数再生を実行した場合に、その再生位置に続く新たな再生位置を再生して再生した音声情報を新たなアドレスに記憶することが考えられる。

【0009】

【発明が解決しようとする課題】しかし、エラーを含む音声情報をメモリに残して読み出せば、後続する音声処理回路に誤った音声情報が供給され、導出される音声信号にノイズが発生する。そこで、再生の繰り返しを制限して再生不能部分を飛び越して再生する場合にメモリよりエラーを含む音声情報を除去する必要がある。

【0010】

【課題を解決するための手段】そこで、本発明は、ミニディスクプレーヤ内に再生エラーが解消できない場合に飛び越し指令を発生する飛び越し指令発生手段と、この飛び越し指令に基づいて再生位置を更新する再生位置指定手段と、再生エラーのないデコードデータを順次メモリに記憶させる記憶アドレス発生手段とを、設けることを特徴とする。

【0011】

【作用】よって、本発明によれば再生エラーを含まないデコードデータのみがメモリに記憶される。

【0012】

【実施例】以下、本発明を図1に図示する実施例に従い説明する。本実施例は、図1に図示するミニディスクプレーヤのメモリコントローラに本発明を採用するものであり、CIRCデコーダ5より導出されるデコードデータはゲート回路602とヘッダ検出回路601にそれぞれ入力される。

【0013】前記ヘッダ検出回路601は、セクタ単位で音声情報に先行して多重されているヘッダを検出して得られるヘッダデータをデータ記憶範囲検出回路604と、再生範囲通過検出回路603に供給している。このヘッダデータは、各セクタの先頭部分に配されてクラスタ番号とセクタ番号とを含んでおり、再生位置の指標として利用される。

【0014】前記データ記憶範囲検出回路604は、再生位置指定回路605が発生する再生位置データとヘッダデータを比較して指定された再生位置の音声情報に対応する2セクタ分のデータ期間に記憶情報検出出力を発生し、ゲート回路602とカウンタ611と入力チェック回路607に供給している。従って、前記ゲート回路602は、デコードデータ内の音声情報の入力期間中解放され、メモリに音声情報のみが供給される。また、再生範囲通過検出回路は、再生位置情報に対応する音声情報が再生され、次のセクタのヘッダデータが検出されたときに、通過検出出力をシステムコントローラ10を介してサーボ回路13に入力し、前記光ピックアップ1にトラックジャンプを促している。このトラックジャンプにより、前記ピックアップ1は指定された再生位置より前のセクタより再生走査を開始する。更に、記憶アドレス指定手段610内に設けられたカウンタ611は、2セクタ分のデータ期間中にカウントをしており、記憶アドレス指定回路613より得られる記憶開始アドレスとカウント値を加算回路612にて加算した値を記憶アドレスとしてメモリ7に供給している。従って、メモリ7には音声情報が順次記憶される。2セクタ分の音声情報が正しく記憶されると、記憶情報検出出力発生より一定期間後に入力チェック回路607が記憶更新出力を発生し、再生位置指定回路605と記憶アドレス指定回路613の指定状態を更新し、続く再生位置の音声情報をメモリ内の続くアドレスに新たな音声情報を記憶させる為の指定をする。

【0015】記憶された音声情報は、読出アドレス発生回路609が発生する読出アドレスに従ってメモリ7より順次読み出される。この読出アドレス発生回路609は、前記ATracデコーダ8からの読出指令が寄せられる度に読出アドレスを発生し、1サウンドグループを単位として音声データを読み出す。音声情報の記憶に際して記憶された音声情報に誤りがあった場合には、再記

憶が為される。まず、CIRCデコーダ5より発生される訂正不能のエラー検出データC2や、記憶中のヘッダデータが正しく更新されていないときにヘッダ検出回路601より発生されるヘッダエラー検出出力が、エラーチェック回路600に入力される。このエラーチェック回路600は再記憶指令を発生することにより、データ記憶範囲検出回路604からの記憶情報検出出力を消勢し、入力チェック回路607の記憶更新出力の発生を阻止し、カウンタで構成される飛越指令発生回路606は再記憶指令をカウントする。

【0016】その結果、次の間欠再生時には、もう一度同じ再生位置の音声情報をメモリ7に記憶すべく再記憶動作が実行される。この再記憶中にもエラーが発生して再記憶指令が発生されると、同様の再記憶動作が繰り返される。この記憶動作は3回繰り返されるが、3回目の記憶動作中に3回目の再記憶指令が発生した場合は、飛越指令発生回路606がその再記憶指令回数を計数検出し、飛越指令を発生する。この飛越指令は、記憶アドレスを更新することなく再生位置を2セクタ分飛び越すと共に、飛び越しによってメモリ内で不連続となるアドレスを記憶するために発生される。従って、飛越指令を入力する前記再生位置指定回路605は再生位置を2セクタ分更新し、飛越指令を入力する前記アドレスレジスタ608はその時点の記憶開始アドレスを飛越アドレスとして記憶する。

【0017】この様に不連続な音声情報を隙間なく記憶する場合、不連続部分で音声信号波形が乱れノイズが発生する。そこで、読み出しに際して不連続部分に間隔を設けてミュート状態としてノイズの発生を制限する必要がある。そこで、本実施例では、データ読出制御回路620を設けて飛越アドレス検出回路623に於てアドレスレジスタに記憶されているアドレスと読出アドレス発生回路609の読出アドレスを比較し、アドレスが一致した場合に1セクタ期間分の読出制限指令を発生している。この読出制限指令発生期間中、前記読出アドレス発生回路609は読出アドレスの発生を阻止し、前記エラーフラグ発生回路622はエラーフラグデータを発生し、切換回路621はメモリ7からの音声データに代えてエラーフラグデータを選択してATracデコーダ8に供給する。その結果、エラーフラグデータを入力するATracデコーダは、0レベルの音声データを形成導出し、音声ミュートを実行する。尚、飛越指令が連続して発生し同じ記憶開始アドレスがレジスタに記憶されている場合は、その連続回数に時間的に比例した読出制限指令を形成すれば、ミュート期間を継続すれば実時間に

忠実な音声の再生も可能となる。また、ノイズを解消する為には、エラーフラグ発生期間を1サウンドグループに制限しても良いことは言うまでもない。

【0018】上述する実施例は、前記メモリコントローラ6をハードウェアで構成したが、その一部若しくは全てをソフトウェアで構成しても良く、その様な構成が本発明に含まれることは言うまでもない。また、前述するエラーチェック回路600は、光学的なトラック外れ状態の検出出力を入力して再記憶指令を発生しても良く、再記憶指令発生の為には種々の検出出力を選択でき、必ずしも実施例の構成に限定されることはない。

【0019】更に、飛越指令発生回路606は、カウンタに限らず記憶データ量に応じて再記憶の回数を設定する回路構成としてもよく、再記憶の回数によって決まるものではない。また、データ読出制御回路620は、読出アドレスの発生によってエラーフラグを形成導出しているが、エラーフラグに代えてミュートデータを発生してもよい。更に、第1の発明には、記憶データを連続して読み出す構成も含まれ、その様な場合にノイズが目立つ場合には不連続部分の前後を含む音声データをミュートする様に構成すれば良い。

【0020】更に、本発明はミニディスクプレーヤに限らず、ディスクを高速回転させてメモリに記憶し再生ミスの発生時に再生を繰り返す所謂ショックプルーフ機能を持つCDプレーヤや、再生機能を持つミニディスクレコーダにも採用出来る。

【0021】

【発明の効果】よって、本発明によれば再再生を繰り返しても正しく再生が為されない場合にも音声途切れることがなく、然もメモリにはエラーの含まれた音声データが記憶されず、後段の回路が誤動作することもなくその効果は大である。

【図面の簡単な説明】

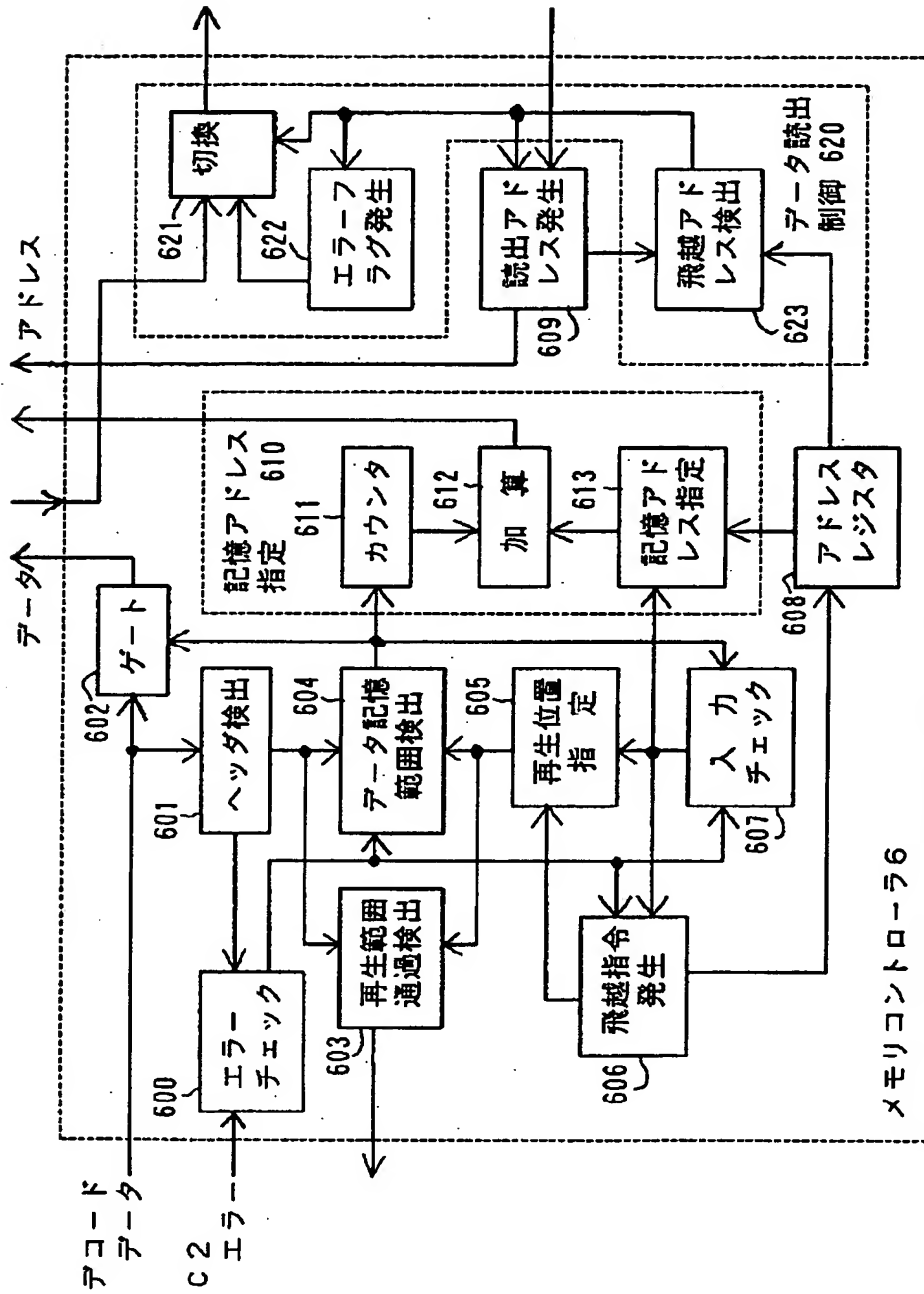
【図1】本発明を採用するメモリコントローラの詳細回路ブロック図である。

【図2】ミニディスクプレーヤの再生回路ブロック図である。

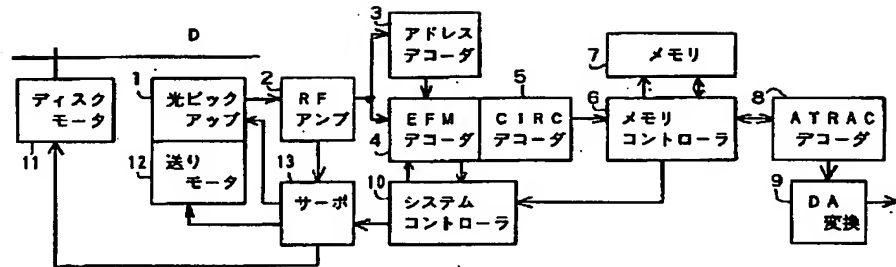
【符号の説明】

- 7 メモリ
- 606 飛越指令発生回路
- 605 再生位置指定回路
- 610 記憶アドレス指定回路
- 609 読出アドレス発生回路
- 608 アドレスレジスタ
- 620 データ読出制御回路

【図1】



【図2】



Partial English Translation of Japanese Laid-Open Patent
Application No. 5-274819

[0012]

[Embodiment]

Hereinafter, the embodiment of the present invention will be described with reference to FIG. 1. This embodiment is formed by applying the present invention to the memory controller of a mini-disk player shown in FIG. 1. Decode data introduced out of a CIR decoder 5 is inputted to a gate circuit 602 and a header detecting circuit 601.

[0013]

The header detecting circuit 601 supplies header data obtained by detecting a header multiplexed ahead of audio information of each sector to a data memory range detecting circuit 604 and a reproduction range passage detecting circuit 603. This header data is disposed at the head of each sector, containing a class number and a sector number and used as an index for a reproduction position.

[0014]

The data memory range detecting circuit 604 generates a memory information detection output in a data period equal of two sectors corresponding to audio information at a reproduction position specified by comparing reproduction position generated by a reproduction position specifying circuit 605 data with header data and supplies to a gate circuit 602, a counter 611 and an input check circuit 607. Therefore, the gate circuit

602 is released in the input period of audio information within decode data and only audio information is supplied to the memory. When audio information corresponding to reproduction position information is reproduced and header data of a next sector is detected, the reproduction range passage detecting circuit inputs a passage detection output to a servo circuit 13 through a system controller 10, urging the optical pickup 1 for a track jump. After this track jump, the pickup 1 starts scanning for reproduction from a sector ahead of the specified reproduction position. Further, a counter 611 provided within the memory address specifying means 610 counts in the data period of two sectors and supplies a value obtained by summing up a memory start address obtained from the memory address specifying circuit 613 and a count value by means of an adding circuit 612 to a memory 7 as memory address. Therefore, audio information is memorized successively in the memory 7. After audio information of two sectors is memorized properly, a certain period after the memory information detecting output is generated, the input check circuit 607 generates a memory updating output and updates the specification conditions of the reproduction position specifying circuit 605 and the memory address specifying circuit 613 so as to specify for memorizing audio information of a subsequent reproduction position in subsequent address within the memory.

[0015]

Audio information memorized is read out successively from the memory 7 according to read out address generated by a read-out

address generating circuit 609. This read-out address generating circuit 609 generates read-out address each time when a read-out instruction is dispatched from the ATRAC decoder 8 and audio data of each sound group is read out. If there is an error in audio information memorized when the audio information is memorized, re-memorization is carried out. First, error detection data C2 which is generated from the CIRC decoder 5 and cannot be corrected and header error detection output which is generated from the header detecting circuit 601 when header data in the memory is not updated properly are inputted to an error check circuit 600. By generating a re-memorization instruction, this error check circuit 600 erases memory information detection output from the data memory range detecting circuit 604, and blocks generation of the memory updating output in the input check circuit 607 and a jump instruction generating circuit 606 constituted of a counter counts re-memorization instructions.

[0016]

As a result, the re-memorization operation is executed to memorize audio information at the same reproduction position into the memory 7 again at a next intermittent reproduction time. If an error occurs during this re-memorization, so that the re-memorization instruction is generated, the same re-memorization operation is repeated. This memory operation is repeated three times and if a third re-memorization instruction is generated during a third memory operation, the jump instruction generating circuit 606 detects its

re-memorization instruction time to generate a jump instruction. This jump instruction is generated to jump reproduction positions of two sectors without updating the memory address and further memorize addresses made discontinuous within the memory due to the jump. Therefore, the reproduction position specifying circuit 605 to which the jump instruction is inputted updates reproduction positions of two sectors and the address register 608 to which the jump instruction is inputted memorizes the memory start address at that point as the jump address.

[0017]

When discontinuous audio information is memorized without any gap, audio signal waveform is distorted at the discontinuous portion thereby causing noise. Then, upon reading out, it is necessary to restrict generation of noise by providing the discontinuous portion with a gap into a mute condition. According to this embodiment, a data read control circuit 620 is provided and a jump address detecting circuit 623 compares an address memorized in an address register with a read-out address of a read-out address generating circuit 609. If both the addresses coincide, a read control instruction for a sector period is generated. When this read control instruction is being generated, the read-out address generating circuit 609 blocks generation of read-out address and the error flag generating circuit 622 generates error flag data and the switching circuit 621 selects the error flag data instead of audio data from the memory 7 and supplies to the ATRAC decoder 8. As a result, ATRAC decoder to which the error flag data is to be inputted forms

0-level audio data and executes audio mute. In the meantime, when the jump instruction is generated continuously and the same memory start address is memorized in the register, if a read control instruction proportional to the frequency thereof in terms of time is formed, a sound faithful to actual time can be reproduced by continuing the mute period. Needless to say, the error flag generation period may be restricted to a sound group in order to eliminate noise.

[0018]

Although according to the above embodiment, the memory controller 6 is constituted of hardware, part or all thereof may be constituted of software and it is needless to say that such structures are included in the present invention. The aforementioned error check circuit 600 may generate a re-memorization instruction by inputting a detection signal for optical out-of-track condition and is capable of selecting various kinds of detection outputs in order to generate the re-memorization instruction and therefore, the present invention is not always restricted to the structure of this embodiment.

[0019]

Further, the jump instruction generating circuit 606 is not restricted to a counter but, may be formed into a circuit structure for setting the frequency of the re-memorization depending on the quantity of memory data and this is not determined depending on the frequency of the re-memorization. Further, although the data read control circuit 620 forms an error flag

by generating a read address, this circuit may generate mute data instead of the error flag. The first invention includes a structure for reading out memory data continuously and if noise is noticeable in such a case, audio data containing front and rear portions of the discontinuous portion can be formed so as to mute.

[0020]

Further, the present invention can be adopted for not only the mini-disk player but also a CD player having so-called shock proof function in which a disk is rotated at a high speed to memorize in its memory so that when a reproduction error occurs, reproduction is repeated and a mini-disk recorder provided with a reproduction function.

[0021]

[Effect of the invention]

According to the present invention, even if reproduction is repeated or reproduction is not carried out properly, any audio sound is never interrupted and further, audio data containing errors is not memorized in the memory, so that subsequent circuits never malfunction thereby achieving a tremendous effect.

FIG. 1

decode data

C2 error

600/ error check

603/ reproduction range passage detection

606/ jump instruction generation
memory controller 6
601/ header detection
604/ data memory range detection
605/ reproduction position specification
607/ input check
602/ gate
data
address
610/ memory address specification
611/ counter
612/ addition
613/ memory address specification
608/ address register
621/ switching
622/ error flag generation
609/ read-out address generation
623/ jump address detection
620/ data read-out control

FIG. 2

11/ disk motor
1/ optical pickup
12/ feeding motor
2/ RF amplifier
13/ servo
3/ address decoder

4/ EFM decoder

10/ system controller

5/ CIRC decoder

7/ memory

8/ memory controller

8/ ATRAC decoder

9/ DA conversion